

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/60

H01L 27/00



[12] 发明专利说明书

[21] ZL 专利号 01116195.7

[11] 授权公告号 CN 1161839C

[45] 授权公告日 2004 年 8 月 11 日

[22] 申请日 2001.5.30 [21] 申请号 01116195.7

[71] 专利权人 世界先进积体电路股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 林耿立 柯明道

审查员 杨子芳

[74] 专利代理机构 北京三友知识产权代理有限公司

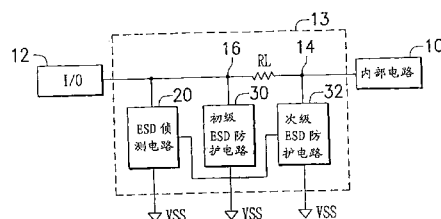
代理人 穆魁良

权利要求书 3 页 说明书 6 页 附图 3 页

[54] 发明名称 加速次级导通的二级式静电放电防护电路

[57] 摘要

本发明公开了一种加速次级导通的二级式静电放电(electrostatic discharge, ESD)防护电路,耦合于一输入/输出接合垫与一电源线之间,包含一耦合于该输入/输出接合垫与该电源线之间的初级 ESD 防护元件和一 ESD 侦测电路、一耦合于该接合垫与一内部电路之间的串接电阻、及一耦合于该内部电路与该电源线之间的次级 ESD 防护元件;当一 ESD 事件发生时,该 ESD 侦测电路提供一控制信号予该次级 ESD 防护元件的控制端,使该次级 ESD 防护元件较该初级 ESD 防护元件更早开启,以箝制 ESD 电压,有效保护该内部电路。



ISSN 1008-4274

知识产权出版社出版

1. 一种加速次级导通的二级式静电放电 (electrostatic discharge, ESD) 防护电路, 包含有:

一初级静电放电防护电路, 耦合于一输入/输出接合垫与一电源线之间;

5 一串接电阻, 耦合于该接合垫与一内部电路之间;

一次级静电放电防护电路, 耦合于该内部电路与该电源线之间;

其特征是:

该次级静电放电防护电路具有一控制端;

10 该二级式静电放电防护电路还包括: 一可提供一控制信号给前述控制端、以使该次级静电放电防护电路较该初级静电放电防护电路早开启、以释放 ESD 电流的静电放电侦测电路, 耦合于该输入/输出接合垫与该电源线之间。

2. 如权利要求 1 所述的加速次级导通的二级式静电放电防护电路, 其特征是: 其中, 该初级静电放电防护电路与该次级静电放电防护电路均包含有 NMOS 晶体管。

15 3. 如权利要求 1 所述的加速次级导通的二级式静电放电防护电路, 其特征是: 其中, 该初级静电放电防护电路为一第一 NMOS 晶体管, 具有一栅极耦合至该电源线。

4. 如权利要求 1 所述的加速次级导通的二级式静电放电防护电路, 其特征是: 其中, 该次级静电放电防护电路为一第二 NMOS 晶体管, 该控制端为该
20 第二 NMOS 晶体管的一栅极。

5. 如权利要求 4 所述的加速次级导通的二级式静电放电防护电路, 其特征是: 其中, 该初级静电放电防护电路包含有一第一 NMOS 晶体管, 具有一栅极耦合至该电源线。

6. 如权利要求 4 所述的加速次级导通的二级式静电放电防护电路, 其特征是: 其中, 该初级静电放电防护电路包含有一第一 NMOS 晶体管, 具有一栅
25 极耦合至该电源线, 该第二 NMOS 晶体管的临界电压较该第一 NMOS 晶体管的临

界电压低。

7. 如权利要求 4 所述的加速次级导通的二级式静电放电防护电路，其特征是：其中，该第二 NMOS 晶体管为一原生型（native）NMOS 晶体管。

8. 如权利要求 1 所述的加速次级导通的二级式静电放电防护电路，其特征是：其中，该静电放电侦测电路包含有一用以区别该 ESD 事件以及正常工作状态的 RC 耦合电路。

9. 如权利要求 1 所述的加速次级导通的二级式静电放电防护电路，其特征是：其中，该电源线为 VSS 电源线。

10. 如权利要求 1 所述的加速次级导通的二级式静电放电防护电路，其特征是：其中，该电源线为 VDD 电源线。

11. 一种加速次级导通的二级式静电放电防护电路，它包含有：

一初级静电放电防护电路，耦合于一输入/输出接合垫与一电源线之间，

一串接电阻，耦合于该接合垫与一内部电路之间；

一次级静电放电防护电路，耦合于该内部电路与该电源线之间，

其特征是：

该初级静电放电防护电路包含有一个一般型 NMOS 晶体管，具有一第一临界电压；

该次级静电放电防护电路包含有一原生型 NMOS 晶体管，具有较该第一临界电压低的一第二临界电压。

12. 如权利要求 11 所述的加速次级导通的二级式静电放电防护电路，其特征是：其中，该一般型 NMOS 晶体管具有耦合至该电源线的一源极以及一栅极，以及耦合至该输入/输出接合垫的一漏极。

13. 如权利要求 11 所述的加速次级导通的二级式静电放电防护电路，其特征是：其中，该原生型 NMOS 晶体管具有耦合至该电源线的一源极以及一栅极，以及耦合至该内部电路的一漏极。

14. 如权利要求 11 所述的加速次级导通的二级式静电放电防护电路，其

特征是：其中，该二级式静电放电防护电路另包含有一当侦测到该 ESD 事件发生时，可触发该原生型 NMOS 晶体管的静电放电侦测电路，耦合于该输入/输出接合垫与该电源线之间。

15. 如权利要求 14 所述的加速次级导通的二级式静电放电防护电路，其
- 5 特征是：其中，该静电放电侦测电路包含有一用以区别该 ESD 事件以及正常工作状态的 RC 耦合电路。

加速次级导通的二级式静电放电防护电路

技术领域

本发明涉及一种静电放电 (electrostatic discharge, ESD) 防护电路,
5 尤指一种加速次级导通的二级式静电放电防护电路。

背景技术

针对次级 (secondary) 静电放电防护电路加强开启速度的静电放电防护电路。

- 10 随着半导体技术的进步, 集成电路 (integrated circuit, IC) 中的半导体元件越来越脆弱, 也越来越容易受到人体、机器或是不预期的物品上的静电应力所破坏。因此, 在 IC 的输出/输入端口或是电源端口中, 往往必须加入静电放电防护电路。在 ESD 应力尚未高达伤害内部元件前, 晶片上的静电放电防护电路便必须导通以形成放电路径, 释放 ESD 应力。
- 15 图 1 为一种现有技术的二级式静电放电防护电路示意图。具较高 ESD 耐受度的场氧化元件 (field oxide device) NF 作为初级静电放电防护电路。NF 直接耦合于输入/输出接合垫 12 与 VSS 之间, 用以释放大部分的 ESD 电荷。只是, NF 的触发电压往往过高, 而使得内部电路 10 依然有被损害的危险。因此, 在内部电路 10 与输入/输出接合垫 12 之间串接上一个缓冲电阻 RL, 并利用一次
- 20 级 ESD 防护元件来箝制送入内部电路 10 处的电压值, 如图 1 所示, 次级静电放电防护电路通常以一个栅极接地的 NMOS 晶体管 N2 所构成。当一对 VSS 为正的 ESD 事件冲击于输入/输出接合垫 12 时, N2 会先导通释放些许的 ESD 电流以箝制端点 14 的电压在一个较低的电位。随后, 当 16 端的电压高达一定程度时, NF 便开启而释放大量的 ESD 电流。由于 N2 只负责小电流的导通, 因此, N2 的
- 25 面积可以制作得比 NF 小。

随着制造业的进步，场氧化隔离技术也渐渐地被浅沟隔离（shallow trench isolation, STI）技术所取代。在具浅沟隔离的互补式金氧半导体（CMOS）制作工艺下的场氧化元件变得更不容易被快速导通，因此图 1 中的 NF 也随制作工艺的进步而不适用于深次微米的 CMOS 集成电路上。

- 5 现今一种二级式静电放电防护电路的初级以及次级静电放电防护电路均以具有相同临界电压的 NMOS 晶体管来构成，分别如图 2 中的两个栅极接地的 NMOS 晶体管（N1 与 N2）所示。为了在一静电放电事件中，达到次级静电放电防护电路要比初级静电放电防护电路较早开启以加速静电放电防护电路启动速度的目的，所以 N2 的通道长度往往设计得比 N1 的通道长度短。然而，通道长度的不同对于 N1 与 N2 的开启时间的影响是非常有限的。也就是说，图 2 的静电放电防护电路在设计上，N1 与 N2 的开启时间相差不够明显，因此失去了二级式静电放电防护电路的主要意义，可能会降低整个电路的 ESD 防护效能。
- 10

发明内容

- 15 本发明的主要目的，在于提供一种适用于浅沟隔离（STI）制作工艺，而且可以加速次级 ESD 防护元件的开启速度的加速次级导通的二级式静电放电防护电路。

- 根据上述的目的，本发明的加速次级导通的二级式静电放电防护电路适用于一输出/输入端口。该加速次级导通的二级式静电放电防护电路耦合于一输入/输出接合垫与一电源线之间，包含有一初级静电放电防护电路、一静电放电侦测电路、一串接电阻以及一次级静电放电防护电路。该初级静电放电防护电路与该静电放电侦测电路均耦合于该输入/输出接合垫与该电源线之间。该串接电阻耦合于该接合垫与一内部电路之间。该次级静电放电防护电路包含有一 NMOS 晶体管，耦合于该内部电路与该电源线之间。其中，当一静电放电事件发生时，该静电放电侦测电路提供一控制信号予该次级静电放电防护电路的 NMOS 晶体管的一栅极，以使该次级静电放电防护电路较该初级静电放电防护电路更早开启，
- 20
- 25

并释放 ESD 电流，因而可以更有效地保护内部电路。该次级静电放电防护电路可以为一原生型 (native) NMOS 晶体管。

本发明另提出一种加速次级导通的二级式静电放电防护电路，适用于一输出/输入端口，耦合于一输入/输出接合垫与一电源线之间。本发明的二级式静电放电防护电路包含有一初级静电放电防护电路、一串接电阻以及一次级静电放电防护电路。初级静电放电防护电路耦合于该输入/输出接合垫与该电源线之间，包含一具有一第一临界电压的一般型 NMOS 晶体管。串接电阻耦合于该接合垫与一内部电路之间。次级静电放电防护电路耦合于该内部电路与该电源线之间，包含有一原生型 NMOS 晶体管，具有较该第一临界电压低的一第二临界电压。当一静电放电事件发生时，该原生型 NMOS 晶体管较该一般型 NMOS 晶体管早开启，以释放 ESD 电流。

本发明的优点在于可以适当的区隔初级与次级静电放电防护电路之间的开启速度。运用具有较低临界电压的原生型 (native) NMOS 晶体管，或是通过控制静电放电侦测电路发出控制信号的时间，可以有效地加速次级静电放电防护电路的开启速度，以达到二级式静电放电防护电路的设计目的。

附图说明

图 1 为一种现有技术的二级式 静电放电防护电路示意图；

图 2 为另一种现有技术的二级式静电放电防护电路示意图；

图 3 为本发明的加速次级导通的二级式静电放电防护电路的一示意图；

图 4 为图 3 中的加速次级导通的二级式静电放电防护电路的一实施例；

图 5 为本发明的加速次级导通的二级式静电放电防护电路的另一示意图；

图 6 为结合原生型 NMOS 与静电放电侦测电路的加速次级导通的二级式静电放电防护电路。

图中元件参数说明：

10 内部电路

12 输入/输出接合垫

13、15、15' 本发明的二级式静电放电防护电路

14、16 端点

20 静电放电侦测电路

5 30 初级静电放电防护电路

32 次级静电放电防护电路

具体实施方式

图 3 为本发明的二级式静电放电防护电路的示意图。本发明的二级式静电放电防护电路 13 适用于一输出/输入端口，耦合于输入/输出接合垫 12 与内部电路 10 之间。二级式静电放电防护电路 13 有一初级静电放电防护电路 30 以及一次级静电放电防护电路 32。初级静电放电防护电路 30 耦合于输入/输出接合垫 12 与 VSS 之间；次级静电放电防护电路 32 耦合于内部电路 10 与 VSS 电源线之间。输入/输出接合垫 12 与内部电路 10 之间串接有一缓冲电阻 RL。当侦测到一静电放电事件发生于输入/输出接合垫 12 与 VSS 之间时，静电放电侦测电路 20 会控制次级静电放电防护电路 32 加速其导通速度，以箝制内部电路 10 所承受的电压，并保护内部电路 10。

图 4 为图 3 中的二级式静电放电防护电路的一实施例。初级静电放电防护电路 30 以一个栅极接地的 NMOS 晶体管 N1 所构成。N1 的漏极与源极分别耦接至输入/输出接合垫 12 与 VSS。二级式静电放电防护电路中的次级静电放电防护电路 32 由一个 NMOS 晶体管 N2 所构成，N2 的漏极与源极分别耦接至内部电路 10 与 VSS。静电放电侦测电路 20 中包含有一 RC 耦合电路，如图 4 所示。该 RC 耦合电路用以耦合 (couple) ESD 瞬间电压 (transient voltage) 到 N2 的栅极，以触发 N2 提早导通来箝制 ESD 电压，因而可以更有效地保护内部电路。

在一般正常的集成电路工作情形下，N2 的栅极通过电阻 R 耦接到 VSS。因此，N2 呈现关闭状态。N1 也因为其栅极接地而为关闭状态。输入/输出接合垫

12 可以通过电阻 RL 与内部电路 10 相耦合。

当一相对于 VSS 为负冲击的 ESD 事件发生于输入/输出接合垫 12 上时, N1 中于漏极寄生的二极管 D1 为顺向偏压。因此释放了 ESD 应力。

当一相对于 VSS 为正冲击的 ESD 事件发生于输入/输出接合垫 12 上时, 因为电容 C 的耦合, 所以 N2 的栅极会暂时维持在一个高电压状态。由实验可知, 当一 NMOS 的栅极施以适当的正偏压时, 其 ESD 防护启动 (或是 snapback 开始) 的速度将会快于该 NMOS 的栅极未施加该正偏压时的速度。因此, N2 (具有栅极正偏压) 的速度将会快于 N1 (栅极接地) 的开启速度。适当的安排次级静电放电防护电路 32 以及初级静电放电防护电路 30 依序开启的速度, ESD 应力可以被释放, 而不至于损害内部电路 10。N1 与 N2 的晶体管结构均可以与内部电路使用的 NMOS 晶体管相同。也就是说, 实施本发明并不需要有特殊制作工艺, 本发明的加速次级导通的二级式静电放电防护电路完全相容于先进的 IC 制作工艺。

此外, 在一般的互补式 MOS 晶体管 (CMOS) 制作工艺中, 经常有一道微影制作工艺以及一 NMOS 临界电压 (threshold voltage, V_t) 调整植入工艺 (V_t implantation), 用于调整 IC 中部分的 NMOS 晶体管的临界电压。一般说来, NMOS V_t 调整植入工艺是植入 P 导电型掺杂物, 如硼 (Boron), 而将 NMOS 的 V_t 调高。因此, IC 中可以包含两种结构上相同 (横截面看来相同), 但是 V_t 却不同的 NMOS。没有受 V_t 调整植入工艺影响的 NMOS, 其 V_t 比较低, 通常以基板或井区掺杂浓度决定其 V_t 值, 称为原生型 (native) NMOS。至于其他 NMOS, 具有较高的 V_t , 称为一般型 (general) NMOS。类似的道理, IC 中也可以包含两种结构上相同 (横截面看来相同), 但是 V_t 却不同的 PMOS: 原生型 PMOS 以及一般型 PMOS。

图 5 为另一本发明的加速次级导通的二级式静电放电防护电路的示意图。静电放电防护电路 15 由缓冲电阻 RL、初级静电放电防护电路 30 以及次级静电放电防护电路 32 所构成。初级静电放电防护电路 30 包含有一个一般型 NMOS N1, 其栅极与源极耦合至 VSS, 其漏极耦合至输入/输出接合垫 12。次级静电放电防护电路 32 包含有一个原生型 NMOS N'2, 其栅极与源极耦合至 VSS, 其漏极耦合

至内部电路 10。因为 N² 为原生型 NMOS，其 V_t 较一般型 NMOS 的 V_t 低，可以相对的比 N1 快导通。利用原生型 NMOS，次级静电放电防护电路 32 可以有效地加快其开启时间，确保整体静电放电防护电路的 ESD 防护效能。

图 6 为结合原生型 NMOS 与静电放电侦测电路的二级式静电放电防护电路。

- 5 在图 6 中，静电放电侦测电路 20 以一 RC 耦合电路构成，串接于输入/输出接合垫 12 与 VSS 之间。当一静电放电事件发生时，静电放电侦测电路 20 会暂时升高 N² 的栅极电压，更加速 N² 的开启速度。

利用静电放电侦测电路 20 或原生型 NMOS，次级静电放电防护电路可以有效地提早其开启时间，确保整体静电放电防护电路的 ESD 防护效能。

- 10 现有技术如图 2 中的静电放电防护电路，具有难以区隔初级与次级静电放电防护电路的缺点。相对的，本发明利用一个静电放电侦测电路或以一原生型 NMOS 作为次级静电放电防护电路，可以适时的加快次级静电放电防护电路于 ESD 事件中开启的速度，因此，整体的 ESD 防护效能可以增加。

- 15 虽然，以上以一般型 NMOS 以及原生型 NMOS 作为实施本发明的元件，本发明亦可以运用一般型 PMOS 以及原生型 PMOS 作为实施本发明的元件。P 型与 N 型之间的转换，伴随 VSS 与 VDD 之间的转换，已经是熟悉 ESD 技术的人所能轻易完成的，因此，不在此多余的描述以一般型 PMOS 以及原生型 PMOS 所构成的实施例。

- 20 以上所述仅为本发明的较佳实施例而已，凡其它未脱离本发明所揭示的精神下所完成的等效改变或修饰，均应包含在本发明的权利要求范围内。

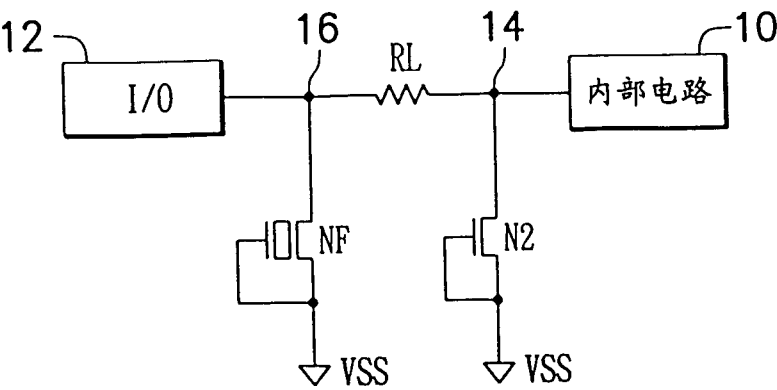


图 1

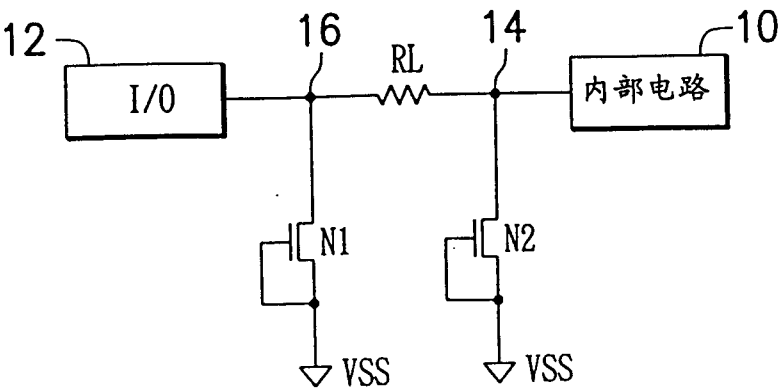


图 2

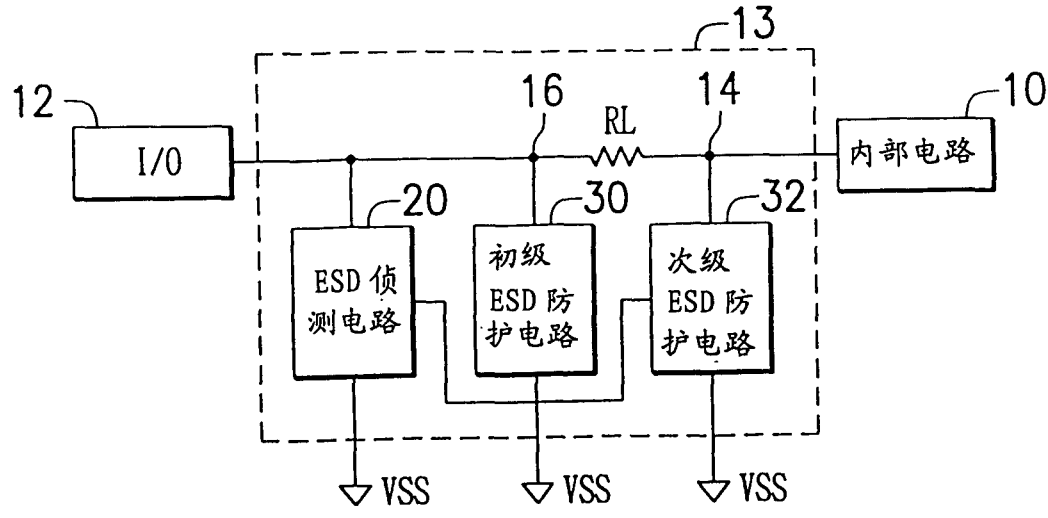


图 3

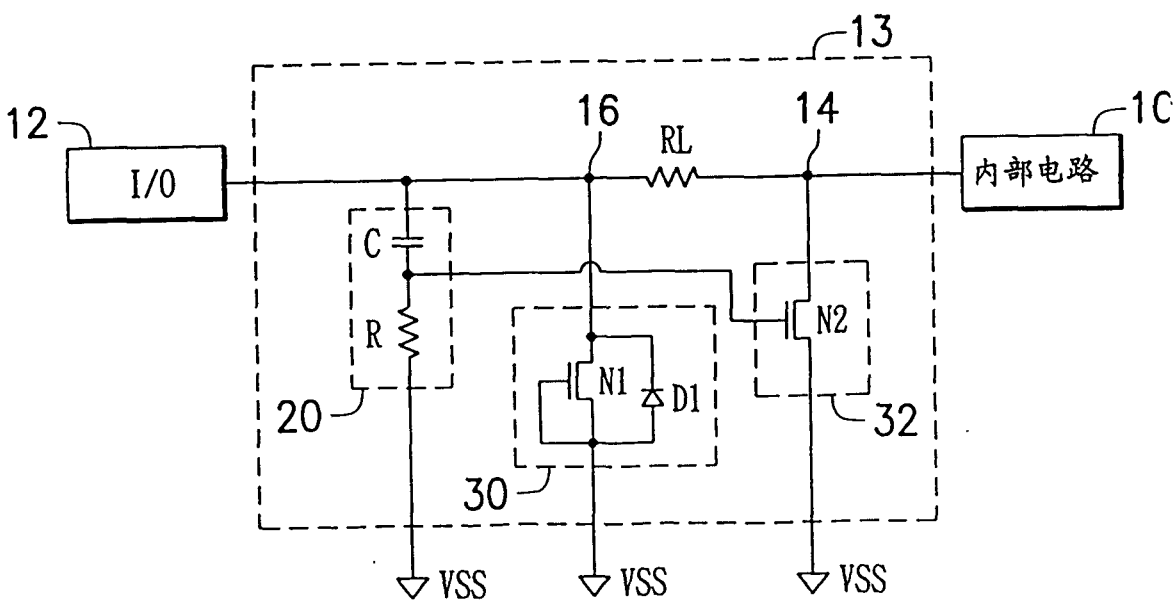


图 4

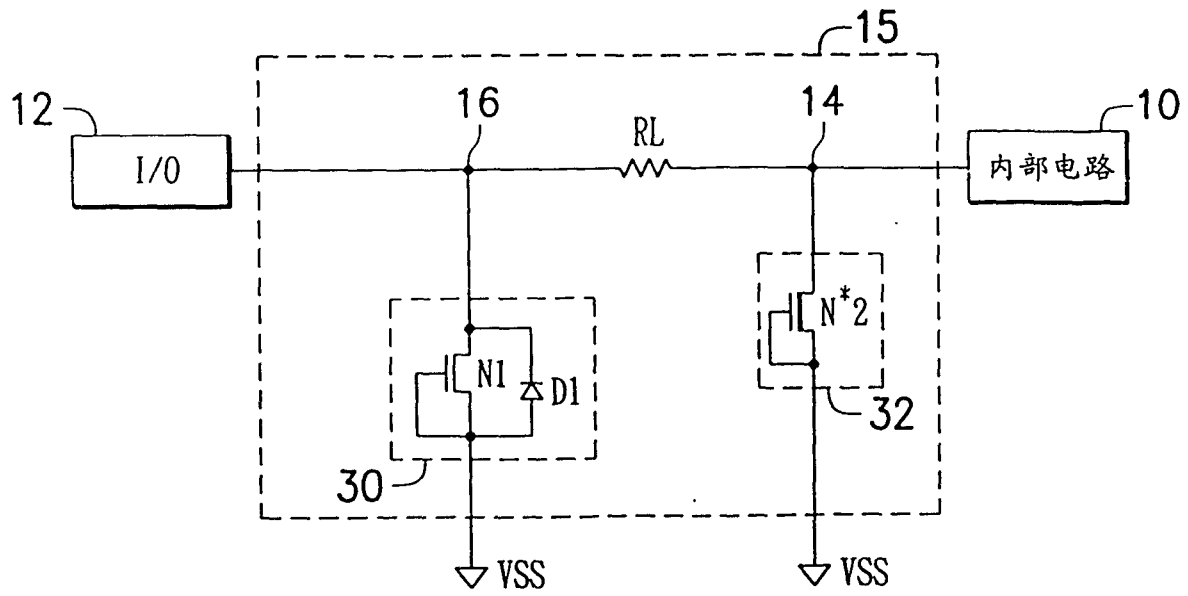


图 5

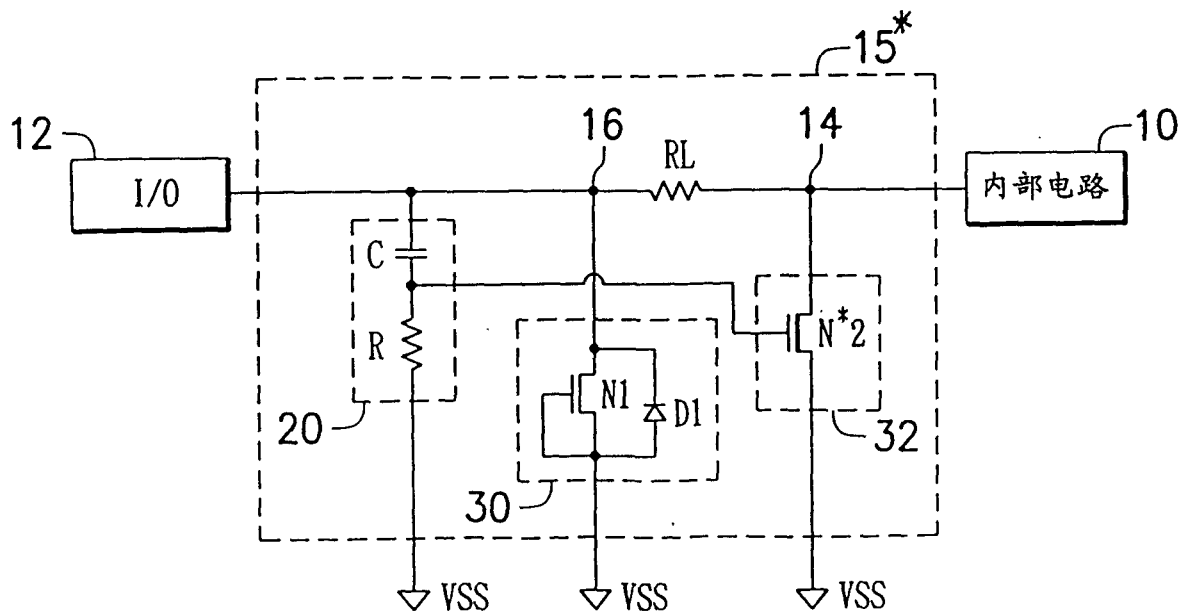


图 6